

(1) ⑨ 本 国 特 許 庁

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平9-23055

(43) 公開日 平成9年(1997)1月21日

(51) Int.Cl.⁶

H 0 5 K 3/34

識別記号

5 0 5

庁内整理番号

7128-4E

F I

H 0 5 K 3/34

技術表示箇所

5 0 5 A

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号 特願平7-169450

(22) 出願日 平成7年(1995)7月5日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 天野 彰

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 高橋 良和

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 小林 経広

長野県諏訪郡富士見町境5840番地の2 有

限会社エムイー内

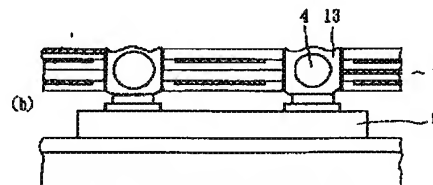
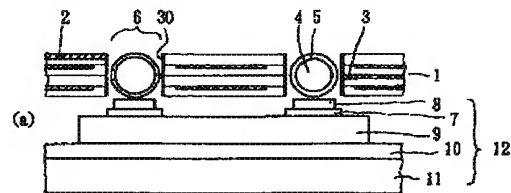
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 電子回路基板

(57) 【要約】

【目的】能動素子、受動素子チップをマウントしたプリント基板の、チップ上の電極や端子との間の配線の工数を低減し、信頼性を上げる。

【構成】マザー基板12にマウントした素子チップ9の三層電極8上に、パワーライン2、ゲートライン3等の配線を形成した各種基板を多層積層した電極基板1のビアホール6を位置合わせし、ビアホール6内に半田層5をコートした球状導体4を挿入し、リフロー炉で一括して接続を行う。



- | | |
|----------|------------|
| 1 電極基板 | 8 三層電極 |
| 2 パワーライン | 9 チップ |
| 3 ゲートライン | 10 ヒートシンク |
| 4 球状導体 | 11 基板 |
| 5 半田層 | 12 マザー基板 |
| 6 ビアホール | 30 ビアホール電極 |
| 7 電極 | |

1

【特許請求の範囲】

【請求項1】配線用の導電体のパターンが形成された絶縁板を積層した多層配線基板の電極と、能動素子、受動素子チップをマウントしたマザー基板の素子チップ上の電極とが接続された電子回路基板において、多層配線基板のビアホール内面の電極と素子チップ上の電極とが、ビアホールに挿入された半田球によって接合されていることを特徴とする電子回路基板。

【請求項2】配線用の導電体のパターンが形成された絶縁板を積層した多層配線基板の電極と、能動素子、受動素子チップをマウントしたマザー基板の素子チップ上の電極とが接続された電子回路基板において、多層配線基板のビアホール内面の電極と素子チップ上の電極とが、ビアホールに挿入された半田コートした球状導体によって接合されていることを特徴とする電子回路基板。

【請求項3】配線用の導電体のパターンが形成された絶縁板を積層した多層配線基板の電極と、能動素子、受動素子チップをマウントしたマザー基板の素子チップ上の電極とが接続された電子回路基板において、多層配線基板のビアホール内面の電極と素子チップ上の電極とが、ビアホールに多層配線基板より突き出して形成されたビアホール半田によって接合されていることを特徴とする電子回路基板。

【請求項4】配線用の導電体のパターンが形成された絶縁板を積層した多層配線基板の電極と、能動素子、受動素子チップをマウントしたマザー基板の素子チップ上の電極とが接続された電子回路基板において、素子チップ上の電極上にリード線が設けられ、多層配線基板のビアホール内面の電極と素子チップ上のリード線とが、ビアホールに形成されたビアホール半田によって接合されていることを特徴とする電子回路基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、基板に半導体素子チップ等が、ベアチップの形で実装され、各素子間の配線を形成した電子回路基板に関する。

【0002】

【従来の技術】トランジスタ、ICなどの能動素子のチップや抵抗、コンデンサなどの受動素子のチップが、ベアチップの形でマウントされているプリント基板(PWB)やメモリ、パワー、マルチチップ等の各種モジュール(以下プリント基板やモジュールをマザー基板と称する)の各素子間の電気的接続を行う方法としては、幾つかの方法が行われている。

【0003】図6は、その一つの方法で、マザー基板12上の各々の能動、受動素子チップ9の電極上にA1ワイヤ25を超音波ボンディングしたA1ワイヤボンディングの例である。約200℃の加熱機能をもつ超音波ボンダにより、直径30～500μmのA1ワイヤで、マザー基板上の素子チップ表面のA1電極同士、或いはA

2

1電極と基板上の回路端子とを結線していた。この時使用するA1ワイヤは電流容量により複数本ボンディングする必要があり、多い時は100本にもなる。24は外部と接続するための端子である。

【0004】図7は、A1ワイヤの代わりに使用する打ち抜き端子26の図である。A1ワイヤに変えて、それぞれの打ち抜き端子26を、例えば半田等で接合するものである。図8は、バンプ電極をもつ導体パターン28の形成されたフレキシブル基板27で、図6のA1ワイヤに代えてこのフレキシブル基板27のバンプ電極とチップ上の電極とを半田或いは導電性接着剤で接合し、電子回路を構成するものである。

【0005】

【発明が解決しようとする課題】従来の実装技術においては、いずれも問題がある。A1ワイヤは表面が酸化され易く、強固な表面酸化皮膜をつくるため、熱圧着しにくい。そこで図6の方法は、超音波の作用下で双方の金属を擦り合わせることにより、強固な酸化皮膜を破り、加熱エネルギーにより、双方の金属間の結合を促進させ、加圧接合するものであるが、毎度細かな条件設定が必要となり、その上、シリコンチップのクレタリング(微小クラックの発生のこと)、ワイヤ外れが生じ易い。また、その作業は昔の田植えのように一本、一本行わなければならない、工数および信頼性の点で問題がある。

【0006】図7の端子ボンディングでは、それぞれの電極間の距離に応じた端子を加工せねばならず、また、微細化によるスケールダウンが困難である。図8のフレキシブル基板では、例えばパワーラインと、ゲートラインとが入り組んだような回路を平面的に構成するのが困難な場合がある。また、厚さの厚い導体パターンが形成できず、大電流用のパワーデバイスには適さない。

【0007】以上の問題に鑑みて、本発明の目的は、多数のチップの配線を一度に一括して行うことができ、大電流用のパワーデバイスにも適し、しかも信頼性の高い接続がされる電子回路基板を提供することにある。

【0008】

【課題を解決するための手段】上記の課題解決のため、本発明は、配線用の導電体がパターン形成された絶縁板を積層した多層配線基板の電極と、能動素子、受動素子チップをマウントしたマザー基板の素子チップ上の電極とが接続された電子回路基板において、多層配線基板のビアホール内面の電極と素子チップ上の電極とを、ビアホールに挿入された半田球または半田コートした球状導体によって接合するものとする。

【0009】また、多層配線基板のビアホール内面の電極と素子チップ上の電極とが、ビアホールに多層配線基板より突き出して形成されたビアホール半田によって接合することもできる。更に、素子チップ上の電極上にリード線を設け、多層配線基板のビアホール内面の電極と素子チップ上のリード線とを、ビアホールに形成された

50

ビアホール半田によって接合することもできる。

【0010】

【作用】上記の手段を講じて、多層配線基板のビアスルーホール内面の電極と素子チップ上の電極とを、ビアホールに挿入された半田球または半田コートした球状導体によって接合すれば、素子間等の接続がなされる。また、多層配線基板のビアホール内面の電極と素子チップ上の電極とが、ビアホールに多層配線基板より突き出して形成されたビアホール半田によって接合しても、素子間等の接続がなされる。

【0011】更に、素子チップ上の電極上にリード線を設け、多層配線基板のビアホール内面の電極と素子チップ上のリード線とを、ビアホールに形成されたビアホール半田によって接合しても、素子間等の接続がなされる。

【0012】

【実施例】以下、図面を参照しながら、本発明の実施例について説明する。図2(a)ないし(e)は、本発明第一の実施例の電子回路基板を構成する部品の分解図である。図2(e)は、基板11上のヒートシンク10上にトランジスタ、IC等の能動素子チップ9および抵抗、コンデンサ等の受動素子チップを取りつけたマザー基板12である。図2(a)は、薄いガラス繊維シートにエポキシ樹脂を含浸させたガラスエポキシシート(厚さ200 μ m)に、厚さ約100 μ mの銅箔が接着されたものに、図2(e)のマザー基板12上の能動、受動素子チップ間を結ぶパワーラインとなるように、銅箔をバタニングしたパワーライン基板14である。図2

(b)は、やはりガラスエポキシシートに銅箔を接着したシートに、ほぼ全面に銅箔を残すことにより、シールド効果を持たせたシールド基板15である。図2(c)は図2(e)のマザー基板12上の能動、受動素子チップのゲートライン(信号)を結線できるように銅箔をバタニングしたゲートライン基板16である。図2

(d)は、図2(b)と同様にしたシールド基板17である。パワーライン基板14、ゲートライン基板15、シールド基板16および17の各層の銅箔のバタニングは、通常エッチングにより行われている。図2(a)ないし(d)および必要によりグランドライン基板等を積層し、接着したものが配線用の電極基板1となる。また、パワーライン、ゲートラインおよびシールド等の各層の配線パターンの外部取り出し用には、電極基板1を貫通するビアホール6を設け、そのビアホール6の内面に銅薄膜を無電界メッキして、ビアホール電極として用いる。ガラスエポキシシートには、例えばFR-4、FR-5などの種類がある。またガラスエポキシシートの他に、ポリイミドシート、セラミックスシート或いはBTレジンなど用いられる。パワーライン、ゲートライン、グランドライン、シールドライン等を必ず各層毎に分離させなければならないわけではなく、場合によっては、同

一の基板上に同居できる場合もある。

【0013】図1(a)は、本発明実施例の電子回路基板の、接続前の断面図であり、図2の電極基板1とマザー基板12との相対関係を示している。図1(a)において、ビアホール6は、電極基板1を貫通する穴(スルーホール)で、上層のパワーライン2、中間層の信号ライン3などの配線の接続用に、その側面にスルーホールメッキ法により、ビアホール電極30が形成されている。基板11上のヒートシンク10上にマウントされた素子チップ9の電極7上に、半田付けできるように例えばCr/Cu/Auの三層電極8を形成した上に、ビアホール6が位置するように予め位置合わせをした後、ビアホール6に半田層5でコートした銅の球状導体4を落とし込む。このとき、ビアホール6は貫通しているの

10

20

30

40

50

で、位置合わせが容易に行える。例えばビアホール6の直径は、1.8mm、球状導体4の直径は1.5mmである。

【0014】次に、図1(a)の状態のリフロー炉に通し、約250℃で半田付けを行うと、マザー基板12上の素子チップ9と電極基板1のビアホール電極30はビアホール6内の球状導体4および、半田接合13により、図1(b)のように接合され、素子チップ間の配線が、一括して一度に簡単にしかも信頼性高く行われる。本発明では、図5に示したような従来のワイヤボンディングに比べ、接続の信頼性の向上と、工数の低減が可能になった。

【0015】また、このとき、電極基板1を可能な限り薄くし、フレキシビリティを持たせておけば、パワーライン2で発生した熱による熱応力が回避できる。さらに、ビアホール6の形状を長円形にしておき、複数の球状導体4を用いれば、接着力、放熱性の向上が図れる。ビアホール6がそれほど大きくないときは、半田層5で被覆した球状導体4の代わりに、半田球を用いることもできる。半田層5でコートした球状導体4を用いるメリットは、Cuなど電気伝導度の優れた材料を球状導体4として、接触抵抗の低減を図ることと、球状導体4があれば、溶融した半田の保持に有効な点である。

【0016】図3は、本発明第二の実施例の電子回路基板の接続部の、図3(a)は接合前、図3(b)は接合後の断面図である。図3(a)において、配線基板1のビアホール6に、第一の実施例の球状導体を入れる代わりに、ビアホール半田18が形成されており、しかも、電極基板1より約100 μ m突出して形成されている。このような形状は、半田メッキにより形成される。図3(a)のように、電極基板1のビアホール6をマザー基板12の素子チップの三層電極8に合わせた状態で、リフロー炉に通し、半田付けを行うと、マザー基板12上の素子チップ9と電極基板1はビアホール6内のビアホール半田18により、図3(b)のように半田接合13で接続され、素子チップ間や端子との配線が、一括して

一度に簡単にしかも信頼性高く行われる。電極基板1より約100 μ m突出して形成されたビアホール半田18の、下方の部分は、マザー基板12との接合に使われるが、上方の突き出し部分で、別のヒートシンクを接合することができる。

【0017】図5は、本発明第三の実施例の電子回路基板の組立前の分解図である。図5の上部は前出のような配線だけの電極基板でなく、ある程度の部品を取り付けたドータ基板21、下部はマザー基板12である。第一、第二の実施例では電極基板のビアホール6を通じてマザー基板12上の能動、受動素子チップの各々の三層電極8を半田層5をもった球状導体やビアホール半田により、半田リフロー炉で接合されたが、この例では、マザー基板12上の能動、受動素子チップの各々の電極7に設けた半田付けできる三層電極8と、銀メッキ銅線等より成るリード線20をカーボン治具などを用いて図のように半田付けで取り付ける。リード線20には、ドータ基板21のストッパとして、突起が設けられている。

【0018】図の上部は、それぞれ制御部の素子と駆動部の素子に対応した制御回路パターン部22と駆動回路パターン23の施されたドータ基板21であり、ビアホール6を加工してあり、そのビアホール6内にビアホール半田が形成されている。この場合は、リード線20で、ドータ基板21とマザー基板12との間隔を決めることができるので、ドータ基板21側にも素子や回路部品を取りつけることができ、電子回路基板の小型化が図れる。

【0019】図のマザー基板12のリード線20を、各リード線20と点線で結ばれているドータ基板21の対応するビアホール6に通し、リフロー炉でビアホール半田18を溶融し、接合する。図4は接合後の電子回路基板の断面図である。ドータ基板21がずり落ちるのを防止するためリード線20に設けられたストッパとしての突起31が見られる。マザー基板12の素子チップ9上のリード線20とドータ基板21のビアホール6との間の接続が、半田接合13により一括して一度に簡単にしかも信頼性高く行われる。

【0020】上の例で、電極基板1のビアホール6は貫通穴としたが、必ずしも貫通していなければならないわけではなく、各基板間の接続が行われていれば一方で閉鎖している穴でもよい。その場合、第一の実施例では、組立て方法を工夫する必要がある。

【0021】

【発明の効果】以上説明したように、トランジスタ、ICなどの能動素子、抵抗、コンデンサなどの受動素子を取りつけたマザー基板の素子チップ上の電極と、導電体のパターンが形成された絶縁板を積層した多層配線基板の電極との接続に、多層配線基板のビアホール内面の電極と素子チップ上の電極とを、ビアホールに半田球または半田コートした球状導体を挿入し、半田を溶融接合す

ることによって、素子チップ間の配線が、一括して一度に簡単にしかも信頼性高く行われる。

【0022】ビアホールに多層配線基板より突き出して形成されたビアホール半田によって接合し、或いは素子チップの電極上にリード線を設け、そのリード線と多層配線基板のビアホール内面の電極とをビアホール半田によって接合しても、素子チップ間の配線が、一括して一度に簡単にしかも信頼性高く行われる。本発明の電子回路基板は、組立工数の低減と信頼性の向上に資すること大である。

【図面の簡単な説明】

【図1】(a)は本発明の第一の実施例のハンダリフロー前の断面図、(b)はそのハンダリフロー後の断面図

【図2】(a)ないし(e)は図1の構成要素の分解図

【図3】(a)は本発明の第二の実施例のハンダリフロー前の断面図、(b)はそのハンダリフロー後の断面図

【図4】本発明の第三の実施例の接合後の断面図

【図5】本発明の第三の実施例の接合前の分解図

【図6】従来のA1ワイヤによる電子回路基板の斜視図

【図7】従来の端子リードの図

【図8】従来のフレキシブルリードの図

【符号の説明】

1	電極基板
2	パワーライン
3	ゲートライン
4	球状導体
5	半田層
6	ビアホール
7	チップ上電極
8	三層電極
9	素子チップ
10	ヒートシンク
11	基板
12	マザー基板
13	半田接合
14	パワーライン基板
15	ゲートライン基板
16	シールド基板
17	シールド基板
18	ビアホール半田
19	半田高さ
20	リード線
21	ドータ基板
22	制御回路パターン
23	駆動回路パターン
24	外部用端子
25	A1ワイヤ
26	端子板
27	フレキシブル基板
28	導体パターン

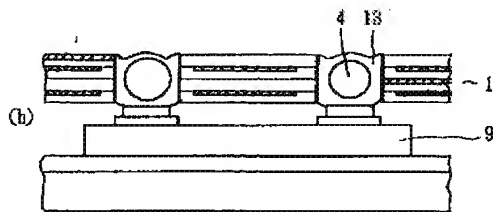
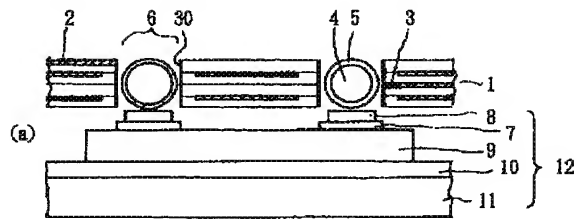
31 0

7
ヒール

* * 3 1

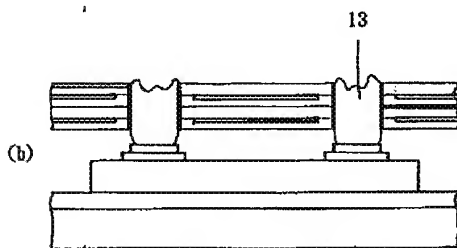
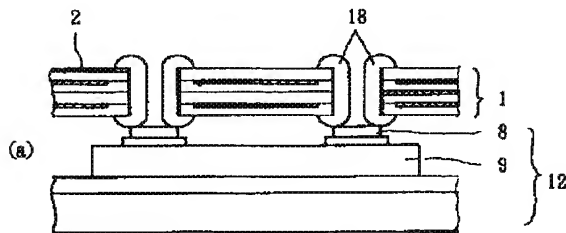
8
突起

【図 1】

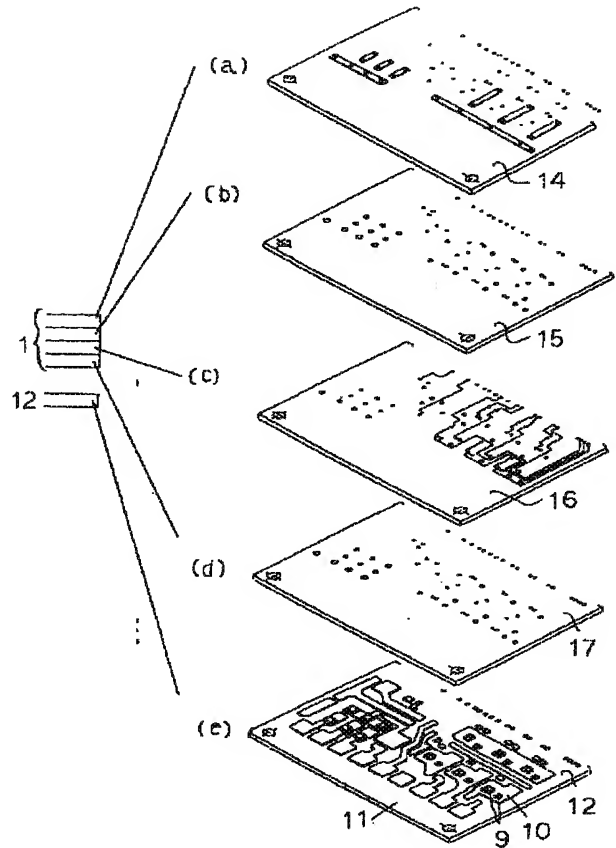


- | | |
|----------|-------------|
| 1 電極基板 | 8 三層電極 |
| 2 パワーライン | 9 チップ |
| 3 ゲートライン | 10 ヒートシンク |
| 4 球状導体 | 11 基板 |
| 5 半田層 | 12 マザー基板 |
| 6 ピエゾホール | 30 ピエゾホール電極 |
| 7 電極 | |

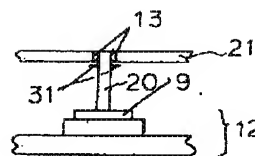
【図 3】



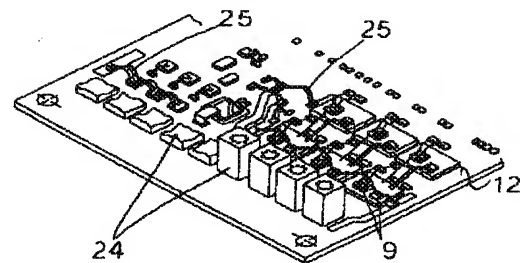
【図 2】



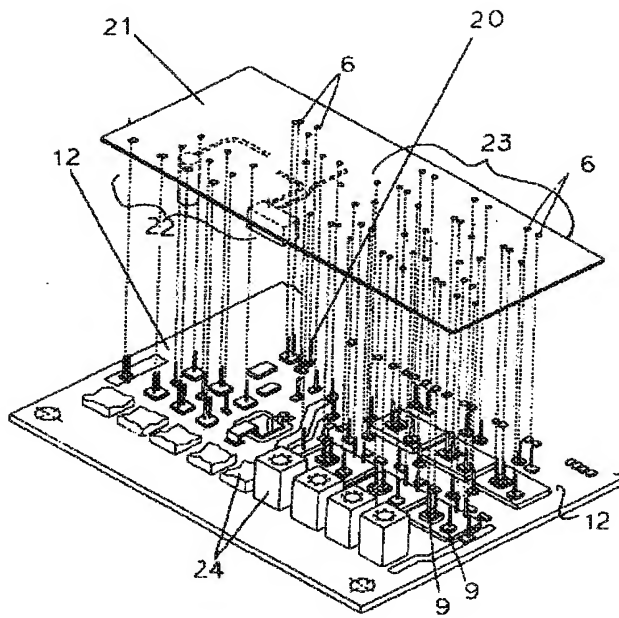
【図 4】



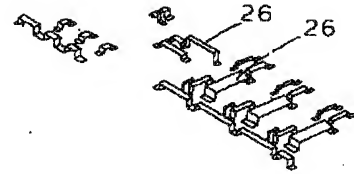
【図 6】



【図5】



【図7】



【図8】

